



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05113928 A**(43) Date of publication of application: **07.05.93**

(51) Int. Cl.

**G06F 12/06****G06F 3/153****G06F 15/64****G06F 15/66****G09G 5/36**(21) Application number: **03275437**(22) Date of filing: **23.10.91**(71) Applicant: **FUJI ELECTRIC CO LTD FUJI FACOM CORP**(72) Inventor: **TAJIMA YUICHI**(54) **IMAGE MEMORY DEVICE**

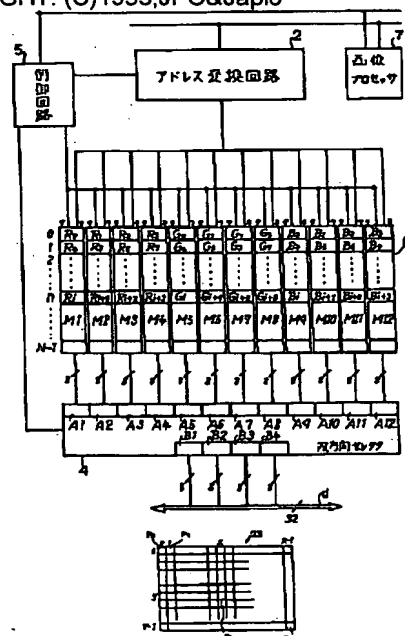
(57) Abstract:

**PURPOSE:** To improve the processing ability of an image memory device by converting two types of linear address data into respective internal addresses and by allowing batched access to both types of data.

**CONSTITUTION:** Four pieces of red data  $R_i$ - $R_{i+1}$  having continuous picture elements  $P_0$ - $P_k$  are successively stored in the (n) addresses ( $n=0$ -( $N-1$ )) of the memories M1-M4 respectively. For instance, the red data  $R_0$ - $R_3$  are stored in an address '0' together with the red data  $R_4$ - $R_7$  stored in an address '1' of the memories M1-M4 respectively. Meanwhile the green data  $G_0$ - $G_3$  and the blue data  $B_0$ - $B_3$  are stored in the memories M5-M8 and M9-M12 respectively. In a 1st address conversion mode, an address converter circuit 2 converts the input linear addresses and selects successively and repetitively the memories M1, M5 and M9 and then M2, M6. Thus the circuit 2 has the accesses in a batch to the three continuous data  $R_i$ ,  $G_i$  and  $B_i$ . In a 2nd mode, the memories M1-M4 and then M5-M8 are successively selected. In such a way, the accesses are possible in a batch to the continuous four data  $R_i$ - $R_{i+3}$ .

 $G_i$ - $G_{i+3}$ , and  $B_i$ - $B_{i+3}$  respectively.

COPYRIGHT: (C)1993,JPO&amp;Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-113928

(43)公開日 平成5年(1993)5月7日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/06	5 2 0	8841-5B		
3/153	3 3 6 B	9188-5B		
15/64	4 5 0 B	8840-5L		
15/66	J	8420-5L		
G 0 9 G 5/36		8121-5G		

審査請求 未請求 請求項の数3(全 12 頁)

(21)出願番号 特願平3-275437

(22)出願日 平成3年(1991)10月23日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(71)出願人 000237156

富士ファコム制御株式会社

東京都日野市富士町1番地

(72)発明者 田島 祐一

東京都日野市富士町1番地 富士ファコム  
制御株式会社内

(74)代理人 弁理士 大菅 義之

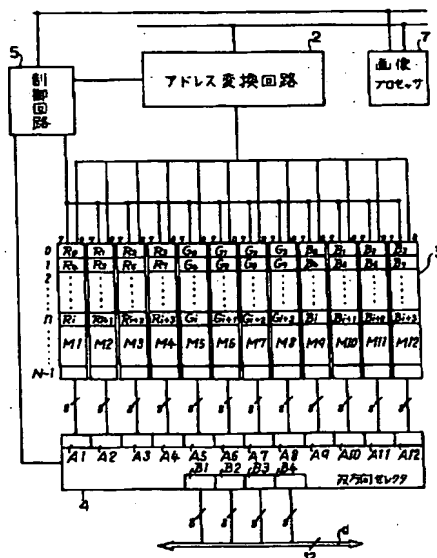
(54)【発明の名称】 画像メモリ装置

(57)【要約】

【目的】 アドレスを変換して、同一画素の複数種類の表示要素データ又は複数画素の同一種類の表示要素データいずれの場合でも一括してアクセスする。

【構成】 画像の画素 $P_0 \sim P_k$ の赤データ $R_0 \sim R_k$ の内、 $R_0 \sim R_3$ がメモリ $M_1 \sim M_4$ の0番地に、次の $R_4 \sim R_7$ が1番地にと、連続する4個の $R_i \sim R_{i+3}$ がメモリ $M_1 \sim M_4$ の $n$ 番地( $n=0 \sim N-1$ )に順次格納される。緑データ $G_0 \sim G_k$ がメモリ $M_5 \sim M_8$ に、青データ $B_0 \sim B_k$ がメモリ $M_9 \sim M_{12}$ に格納される。第1のアドレス変換モードでは、アドレス変換回路2は入力されるリニアアドレスを変換してメモリ $M_1$ 、5及び9、次にはメモリ $M_2$ 、6及び10・・・と順次繰り返して選択して、連続する3個のデータ $R_i$ 、 $G_i$ 及び $B_i$ を一括してアクセスする。第2のアドレス変換モードでは、メモリ $M_1 \sim M_4$ 、次にはメモリ $M_5 \sim M_8$ ・・・と順次選択して、連続する4個のデータ $R_i \sim R_{i+3}$ 、次に $G_i \sim G_{i+3}$ 、最後に $B_i \sim B_{i+3}$ と一括してアクセスする。

メモリ回路3及び双方向セレクト4の詳細な構成を示す図



## 【特許請求の範囲】

【請求項1】 画像を構成する画素データが複数種類の表示要素データからなる画像データを入出力する画像メモリ装置において、

複数のアドレス方法を有して前記画像を構成する画素データの複数種類の表示要素データを記憶する記憶手段

(1)と、

該記憶手段(1)に対して前記複数のアドレス方法の内いずれのアドレス方法によってアドレスするかを選択するアドレス選択手段(2)と、

該アドレス選択手段(2)の選択に基づいて、外部より入力されたアドレスを前記複数のアドレス方法の内いずれか一つのアドレス方法によるアドレスに変換するアドレス変換手段(3)と、

該アドレス変換手段(3)にて変換されたアドレスに基づいて前記記憶手段(1)に記憶される複数種類の表示要素データの中から所定の複数データを一括して書き込み又は読み出すデータ入出力手段(4)と、

を有することを特徴とする画像メモリ装置。

【請求項2】 前記アドレス変換手段(3)は、前記アドレス選択手段(2)の選択に基づいて、前記記憶手段(1)に記憶される複数種類の表示要素データの内、複数画素の同一種類の表示要素データが1組となるようにアドレス変換することを特徴とする請求項1記載の画像メモリ装置。

【請求項3】 前記アドレス変換手段(3)は、前記アドレス選択手段(2)の選択に基づいて、前記記憶手段(1)に記憶される複数種類の表示要素データの内、同一画素の複数種類の表示要素データが1組となるようにアドレス変換することを特徴とする請求項1又は2記載の画像メモリ装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、画像を表す画素の複数種類の表示要素データを入出力する画像メモリ装置に関する。

## 【0002】

【従来の技術】従来より、カラー画像データを画像メモリに格納する際には、図6に示す画素 $P_0$ 、 $P_1$ 、・・・毎の表示要素データ、例えば色彩を表すR(赤)、G(緑)、B(青)等の表示要素データに分解して格納する。画像メモリのアドレスはリニアアドレス(順次直線的に連続する一次元のアドレス)になっており、この画像メモリに上記表示要素データを格納するについては、2種類の方式が知られている。1つは、図7に示すように、同一画素の表示要素データを連続したアドレスに格納する方法である。同図では、先頭アドレスADから最初の画素 $P_0$ の表示要素データ $R_0$ 、 $G_0$ 及び $B_0$ が連続して格納され、次に、二番目の画素 $P_1$ の表示要素データ $R_1$ 、 $G_1$ 及び $B_1$ 、さらに続いて、三番目の画素

$P_2$ の表示要素データ $R_2$ 、 $G_2$ 及び $B_2$ と順次格納される。図6の画像23を構成する画素数を横X個、縦Y個とすれば、同図(x, y)の位置にある画素 $P_i$ の表示要素データ $R_i$ 、 $G_i$ 及び $B_i$ は、アドレス $AD+3 \times (X \times y + x)$ 番地から+1番地、+2番地に順次格納される。

【0003】一方、他の方式は、図8に示すように、各画素に対応する同一種類の表示要素データを連続したアドレスに格納する方法である。同図では、先頭アドレスADから最初の画素 $P_0$ の表示要素データ $R_0$ 、次に、二番目の画素 $P_1$ の表示要素データ $R_1$ 、・・・と順次格納され、続いて、最初の画素 $P_0$ の表示要素データ $G_0$ 、次に、二番目の画素 $P_1$ の表示要素データ $G_1$ 、・・・、そしてさらに、最初の画素 $P_0$ の表示要素データ $B_0$ 、次に、二番目の画素 $P_1$ の表示要素データ $B_1$ 、・・・と格納される。この場合、図6の(x, y)の位置にある画素 $P_i$ の表示要素データ $R_i$ 、 $G_i$ 及び $B_i$ は、それぞれ $AD+(X \times y + x)$ 番地、 $AD+X \times Y + (X \times y + x)$ 番地及び $AD+2 \times X \times Y + (X \times y + x)$ 番地に格納される。

【0004】上記最初の方法は、各画素の表示要素データを画素毎に一括して読み出し、または書き込み処理ができるため、画像の部分的な表示色変換や幾何学的変換などを行う際は高速な処理がなされる。

【0005】また、2番目の方法は、各画素の表示要素データを種類毎に一括して読み出し、または書き込み処理ができるため、画像全体の色調を変換する等の処理が高速に行えるという利点がある。

## 【0006】

【発明が解決しようとする課題】しかしながら、画像全体の色調を変換する等のために2番目の方法で各画素の表示要素データを種類毎に連続して画像メモリに格納した後、今度はこれを用いて画像の部分的な表示色変換や幾何学的変換などを行うとすると、1個の画素の各表示要素データを、不連続なアドレスから個別に読み出さねばならぬため処理が著しく低下するという問題があった。また、このことを避けるため、2番目の方法で画像データが記憶されている補助記憶装置等から、その画像データを読み出して、最初の方法で画素毎の表示要素データが連続するように画像メモリに格納しようとする、一旦各表示要素データの並べ変えを行ってから格納処理に移らねばならず、補助記憶装置から画像メモリへのデータ転送に時間がかかり過ぎるという問題点も有していた。これは、上記のように2番目の方法から最初の方法へ転換する場合のみならず、逆の場合、即ち最初の方法から2番目の方法へ転換する場合も全く同様に上記の問題が発生する。特に画像メモリに対する一方のアドレス方法がハードウェアで設定される構成となっている場合には、これを他方のアドレス方法で処理することは全くできない。

【0007】本発明の目的は、画像メモリのデータ配列を変えることなく、外部から入力されるアドレスを変換するだけで、同一画素の複数種類の表示要素データ、または複数画素の同一種類の表示要素データいずれの場合でも、一括して読み出し又は書き込みのできる画像メモリ装置を提供することにある。

【0008】

【課題を解決するための手段】図1は、本発明のブロック図である。本発明は、画像を構成する画素データが複数種類の表示要素データからなる画像データを入出力する画像メモリ装置を前提とする。

【0009】記憶手段1は、複数のアドレス方法を有して前記画像を構成する画素データの複数種類の表示要素データを記憶する。同手段1は、例えば複数のメモリチップ等からなる。

【0010】アドレス選択手段2は、記憶手段1に対して前記複数のアドレス方法の内いずれのアドレス方法によってアドレスするかを選択する。同手段は、例えばデコーダ、ラッチ等からなる。

【0011】アドレス変換手段3は、アドレス選択手段2の選択に基づいて、外部より入力されたアドレスを前記複数のアドレス方法の内、記憶手段1に記憶される複数種類の表示要素データの内の、例えば複数画素の同一種類の表示要素データが1組となるように、または同一画素の複数種類の表示要素データが1組となるように、いずれか一つのアドレス方法によるアドレスに変換する。同手段2は、例えばアドレス・デコーダ等からなる。

【0012】データ入出力手段4は、アドレス変換手段3にて変換されたアドレスに基づいて記憶手段1に記憶される複数種類の表示要素データの中か所定の複数データを一括して書き込み又は読み出す。同手段3は、例えばCPU(Central Processing Unit)、双方向セクタ等からなる。

【0013】

【作用】本発明では、アドレス選択手段2により、記憶手段1が有する複数のアドレス方法の内1つのアドレス方法が選択され、外部から入力されたアドレスが、アドレス変換手段3により上記選択されたアドレス方法に基づいて画素の同一種類の表示要素データを1組、または同一画素の複数種類の表示要素データを1組とするアドレスに変換される。そして、この変換されたアドレスに基づいてデータ入出力手段4により記憶手段1に記憶される複数種類の表示要素データの中から所定の複数データが一括して書き込み又は読み出される。

【0014】これにより、画像メモリのデータ配列を変えることなく、外部から入力されるアドレスを変換するだけで、同一画素の複数種類の表示要素データ、または複数画素の同一種類の表示要素データいずれの場合でも、一括して読み出し又は書き込むことができる。

【0015】

【実施例】以下、図面を参照しながら本発明の一実施例について説明する。図2は、本発明の実施例の構成ブロック図である。

【0016】同図において、画像メモリ装置1は、アドレス・デコーダ等からなるアドレス変換回路2、複数のメモリチップ等からなるメモリ回路3、双方向セクタ4、CPU等からなる制御回路5、デコーダ、ラッチ等からなるアドレス変換モード保持レジスタ6から構成されており、アドレスバスa、データバスd、及びバスコントロール信号線cを介して外部の画像プロセッサ7と接続している。

【0017】上記アドレス変換モード保持レジスタ6は、画像プロセッサ7から入力する指令信号により2種類のアドレス変換モードを、いずれか一方に切り換えて、その切り換えたアドレス変換モードを示す信号a'を制御回路5に出力する。

【0018】制御回路5は、画像プロセッサ7から入力するバスコントロール信号c'により画像プロセッサ7からのアクセスを検出し、アドレス変換モード保持レジスタ6から加わるアドレス変換モード信号a'に応じて、アドレス変換指令信号h'をアドレス変換回路2へ出力する。また、上記入力するバスコントロール信号c'により、画像プロセッサ7のアクセスが、読み出し、書き込みのいずれであるかを判別し、その判別に基づきデータバスdとの接続方向の切り換え、及び上記アドレス変換モードに応じてメモリ回路3との接続回路の選択を指示する信号sを双方向セクタ4へ出力する。また、制御回路5は、バスコントロール信号c'の指示に基づいて、データの入力または出力を指示するタイミング信号tをメモリ回路3へ出力する。

【0019】アドレス変換回路2は、詳しくは後述するが、制御回路5から加わるアドレス変換指令信号h'に基づいて、画像プロセッサ7から入力するアドレスデータを変換して、チップセレクト信号及び内部アドレスを生成し、これらをメモリ回路3へ出力する。

【0020】メモリ回路3は、アドレス変換回路2から加わるチップセレクト信号により選択されたメモリチップの上記内部アドレスのデータを、制御回路5から加わるタイミング信号tのタイミングで、双方向セクタ4から取り込んで格納、または双方向セクタ4へ出力する。

【0021】双方向セクタ4は、制御回路5から加わる接続回路の選択指示信号に基づいてメモリ回路3と接続する入出力ポートを選択し、同じく制御回路5から加わる接続方向の切り換え指示信号に基づいて、データバスdとの接続を入力方向に切り換え、データバスd上に出力されているデータをメモリ回路3へ出力し、または、データバスdとの接続を出力方向に切り換え、メモリ回路3から入力するデータをデータバスdへ出力す

る。

【0022】図3は、上記メモリ回路3及び双方向セクタ4の詳細な構成を示す図である。同図において、メモリ回路3は、12個のメモリチップ、メモリM1～M12からなるメモリバンクを構成する。各メモリMj

(j=1～12)は、Nバイト(N×8ビット)の記憶容量を有し、0番地からN-1番地までN個の番地にそれぞれ1バイト(8ビット)のデータを格納する。メモリM1～M4には、図6に示すX×Y個の画素P<sub>0</sub>～P<sub>k</sub>(k=X×Y-1)の表示要素データR<sub>0</sub>～R<sub>k</sub>が格納される。その格納順は、連続する4個のデータR<sub>0</sub>～R<sub>3</sub>がそれぞれメモリM1～M4の0番地に、次に連続する4個のデータR<sub>4</sub>～R<sub>7</sub>がそれぞれメモリM1～M4の1番地にと、連続する4個のデータR<sub>i</sub>～R<sub>i+3</sub>がそれぞれメモリM1～M4のn番地(n=0～N-1)に順次格納される。また、メモリM5～M8には表示要素データG<sub>0</sub>～G<sub>k</sub>が、メモリM9～M12には表示要素データB<sub>0</sub>～B<sub>k</sub>が格納される。その格納順は上記表示要素データR<sub>0</sub>～R<sub>k</sub>の場合と同様である。

【0023】次に、双方向セクタ4は、それぞれ8ビット幅を有する12個の入出力ポートA1～A12を備えており、それぞれメモリ回路3のメモリM1～M12と接続している。また、双方向セクタ4は、同じく8ビット幅を有する4個の入出力ポートB1～B4も備えており、この4個の入出力ポートB1～B4は、内部では上記12個の入出力ポートA1～A12の内、選択された3個または4個のメモリMjに対応する3個または4個のポートA<sub>j</sub>と接続し、外部に対しては32ビット幅のデータバスdに接続する。

【0024】図4(a)に、同一画素の複数種類の表示要素データを一括して読み書きする際に画像プロセッサ8から画像メモリ装置1に入力するアドレス信号の構成を示す。同図(a)のアドレス信号は、第0ビット(LSB)から第23ビット(MSB)までの24ビット構成となっており、下位2ビット(第0、1ビット)はアドレス以外の信号に使用されるもので、この例のように表示要素データR、G、Bをアクセスする場合には使用しない。以降、第2ビットから第23ビットまでの22ビットをアドレスデータとし、第2ビットをアドレスデータの最下位ビットとして説明する。

【0025】上記22ビット構成のアドレスデータは2<sup>22</sup>のリニアアドレス空間を構成し、各番地には、それぞれ同図(c)に示す8ビット構成のデータ「0」、R<sub>i</sub>、G<sub>i</sub>、及びB<sub>i</sub>からなる32ビット・バウンダリの画素データが割り当てられる。即ち、0番地にはデータ「0」、R<sub>0</sub>、G<sub>0</sub>、及びB<sub>0</sub>、そして次から最後の2<sup>22</sup>番地のデータ「0」R<sub>k</sub>、G<sub>k</sub>、及びB<sub>k</sub>まで順次割り当てられる。

【0026】次に、図5(a)に、複数画素の同一種類の表示要素データを一括して読み書きする場合のアドレス

信号の構成を示す。この場合も上記同様に22ビット構成のアドレスデータは2<sup>22</sup>のリニアアドレス空間を構成し、各番地には、それぞれ同図(c)に示す8ビット構成のデータR<sub>i</sub>、R<sub>i+1</sub>、R<sub>i+2</sub>、及びR<sub>i+3</sub>からなる32ビット・バウンダリの画素データが記憶される。即ち、0番地のデータR<sub>0</sub>、R<sub>1</sub>、R<sub>2</sub>、及びR<sub>3</sub>から最後の2<sup>22</sup>番地のデータB<sub>k-3</sub>、B<sub>k-2</sub>、B<sub>k-1</sub>、及びB<sub>k</sub>まで順次割り当てられる。

【0027】上記構成の画像メモリ装置1により上記入力する2種類のリニアアドレスデータを、それぞれ内部アドレスに変換して、同一画素の複数種類の表示要素データを一括して、または、複数画素の同一種類の表示要素データを一括して入出力する動作を、再び図3、図4及び図5を用いて説明する。

【0028】先ず、同一画素の複数種類の表示要素データを一括して処理する動作について説明する。図3の画像メモリ装置1のアドレス変換モード保持レジスタ6には、画像プロセッサ7から、同一画素の複数種類の表示要素データを一括して処理する旨が通知される。これにより画像メモリ装置1のアドレス変換モードが、同一画素の複数種類の表示要素データを一括してアクセスするモードに設定される。次に、画像プロセッサ7から、リニアアドレスデータが0番地(22ビット全てが「0」)から2<sup>22</sup>番地(22ビット全てが「1」)まで順次「1」インクリメントされて入力する。

【0029】アドレス変換回路2は、アドレスデータの下位2ビットmをデコードして、図4(b)に示すように3個のメモリMjを選択する、この選択信号により活性化された(読み出し、書き込みが可能になった)3個のメモリMjに、アドレスデータの上位20ビットを内部アドレスnとして出力する。

【0030】これにより、リニアアドレスの0番地がアクセスされたときは、m=0によりメモリM1、M5及びM9が選択され、内部アドレスnは0番地であるので、上記選択された各メモリM1、M5及びM9の0番地からデータR<sub>0</sub>、G<sub>0</sub>、及びB<sub>0</sub>が一括してアクセスされる(図3参照)。同様にして、リニアアドレスの1番地では、m=1によりメモリM2、M6及びM10が選択され、内部アドレスnは0番地のままであるので、上記選択された各メモリM2、M6及びM10の0番地から、今度はデータR<sub>1</sub>、G<sub>1</sub>、及びB<sub>1</sub>が一括してアクセスされる(図3参照)。このようにして、リニアアドレスの3番地(m=3)まで、即ちメモリM4、M8及びM12の0番地のデータR<sub>3</sub>、G<sub>3</sub>、及びB<sub>3</sub>まで一括してアクセスされた後、次のリニアアドレスの4番地では、アドレスデータの下位2ビットがそれぞれ「0」となり、上位20ビットの値が「1」インクリメントされる。これにより、m=0となって再びメモリM1、M5及びM9が選択される。また、内部アドレスnは1番地となるので、上記選択された各メモリM1、M5及びM

9の1番地からデータ $R_4$ 、 $G_4$ 、及び $B_4$ が一括してアクセスされる。このようにして、リニヤアドレスの22番地の、データ $R_k$ 、 $G_k$ 、及び $B_k$ まで、アクセスされる。

【0031】次に、複数画素の同一種類の表示要素データを一括して入出力する動作を、図3及び図5を用いて説明する。図3の画像メモリ装置1のアドレス変換モード保持レジスタ6には、画像プロセッサ7から、複数画素の同一種類の表示要素データを一括して処理する旨が通知される。これにより画像メモリ装置1のアドレス変換モードが、複数画素の同一種類の表示要素データを一括してアクセスするモードに設定される。次に、画像プロセッサ7から、リニヤアドレスデータが0番地から22番地まで順次「1」インクリメントされて入力する。

【0032】アドレス変換回路2は、今度はアドレスデータの上位2ビット $m'$ をデコードして、図5(b)に示すように4個のメモリ $M_j$ を選択し、そして、アドレスデータの低位20ビットを内部アドレス $n'$ として出力する。

【0033】これにより、リニヤアドレスの0番地がアクセスされたときは、 $m=0$ によりメモリ $M_1$ 、 $M_2$ 、 $M_3$ 及び $M_4$ が選択され、内部アドレス $n$ は0番地であるので、上記選択された各メモリ $M_1$ 、 $M_2$ 、 $M_3$ 及び $M_4$ の0番地からデータ $R_0$ 、 $R_1$ 、 $R_2$ 、及び $R_3$ が一括してアクセスされる(図3参照)。同様にして、リニヤアドレスの1番地では、 $m=0$ のままであるので、選択された4個のメモリ $M$ は同じままであり、内部アドレス $n$ が1番地となって、再び上記各メモリ $M_1$ 、 $M_2$ 、 $M_3$ 及び $M_4$ の1番地から、データ $R_4$ 、 $R_5$ 、 $R_6$ 、及び $B_7$ が一括してアクセスされる(図3参照)。このように、4個のメモリ $M_1$ 、 $M_2$ 、 $M_3$ 及び $M_4$ が選択されたまま、リニヤアドレスの番地が下位20ビット全て「1」となるまで、即ち選択されているメモリ $M_1$ 、 $M_2$ 、 $M_3$ 及び $M_4$ の最後の内部アドレス $N-1$ 番地のデータ $R_{k-3}$ 、 $R_{k-2}$ 、 $R_{k-1}$ 、及び $R_k$ までアクセスされたあと、リニヤアドレスがさらに1番地進むと、22ビットのアドレスデータが「1」インクリメントによって下位20ビットが全て「0」となり( $n'=0$ )、シフトによって上位2ビットが「1」インクリメントされ、 $m'=1$ となる。これにより、次には4個のメモリ $M_5$ 、 $M_6$ 、 $M_7$ 及び $M_8$ が選択される。そして、上記同様に内部アドレス0番地から $N-1$ (=22)番地まで、即ちデータ $G_0$ 、 $G_1$ 、 $G_2$ 、及び $G_3$ から、データ $G_{k-3}$ 、 $G_{k-2}$ 、 $G_{k-1}$ 、及び $G_k$ までアクセスされる。引き続き、アドレスデータが「1」インクリメントされて下位20ビットが全て「0」となり(再び $n'=0$ )、上位2ビットが「1」インクリメントされ、 $m'=2$ となる。これにより、最後の4個のメモリ $M_9$ 、 $M_{10}$ 、 $M_{11}$ 及び $M_{12}$ が選択される。そして、データ $B_0$ 、 $B_1$ 、 $B_2$ 、及び $B_3$ から、データ

$B_{k-3}$ 、 $B_{k-2}$ 、 $B_{k-1}$ 、及び $B_k$ までアクセスされる。

【0034】上述のように、画像プロセッサ7側から見れば、いずれの方法でアクセスするかを通知し、その通知したアクセス方法によりリニヤアドレスを出力のみで、所定のデータを一括して読み読み出し、または書き込むことができる。

【0035】本実施例では、メモリ $M_1 \sim M_{12}$ を、独立チップとしているが、これに限ることなく、1個のRAMを12の領域に分割し、チップ選択信号に代えて各領域の先頭アドレスを指定するようにし、内部アドレスをその指定した先頭アドレスに対するオフセットアドレスとしても、同様の処理が実現できる。また、メモリの分割は、12個(または領域)と限ることなく任意に分割してよい。また、画素の表示要素データをR(赤)、G(緑)、B(青)の色要素データとしているが、このような色要素データに限ることなく、色相、彩度、明度等の表示要素データの処理にも適用できる。

【0036】

【発明の効果】本発明によれば、画像メモリのデータ配列を変えることなく、外部から入力されるアドレスを変換するだけで、同一画素の複数種類の表示要素データ、または複数画素の同一種類の表示要素データいずれの場合でも、一括して読み出し又は書き込みができるので、一方のアクセス方式で処理を行ったのち、データの並べ換え等の処理を経ることなく、直ちに他方のアクセス方式による処理を容易に行うことができ処理の効率が向上する。また、補助記憶装置等に記憶される表示要素データが、いずれのアクセス方式によって一括処理される形式のものであっても、データの並べ換え等の処理を経ることなく、直ちに転送処理が行われるためデータ転送の処理が各段に向上する。

【図面の簡単な説明】

【図1】本発明のブロック図である。

【図2】本発明の一実施例の構成ブロック図である。

【図3】上記構成ブロック図のメモリ回路3及び双方向セクタ4の詳細な構成を示す図である。

【図4】(a)は、アドレス信号の構成図、(b)は、下位2ビットの値 $m$ とメモリ選択の関係を示す図、(c)は、一括してアクセスされる表示要素データの構成図である。

【図5】(a)は、アドレス信号の構成図、(b)は、上位2ビットの値 $m$ とメモリ選択の関係を示す図、(c)は、一括してアクセスされる表示要素データの構成を示す図である。

【図6】画像データの構成図である。

【図7】従来の表示要素データの格納状態の一例を示す図である。

【図8】従来の表示要素データの格納状態の他の例を示す図である。

## 【符号の説明】

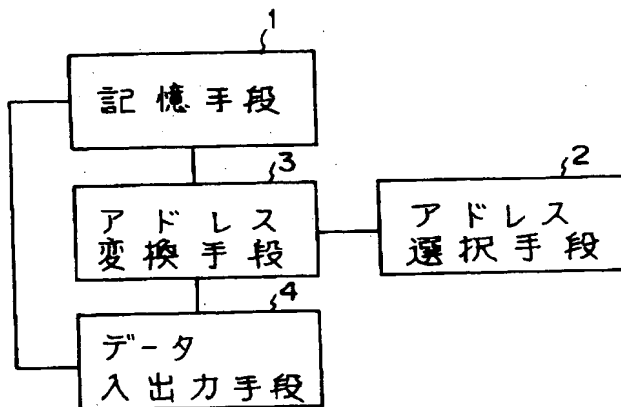
- 1 記憶手段  
2 アドレス選択手段

- 3 アドレス変換手段  
4 データ入出力手段

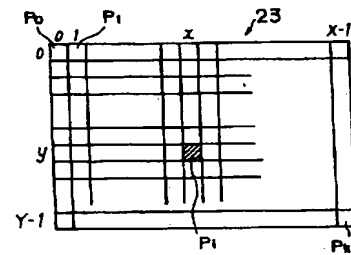
【図1】

【図6】

## 本発明のブロック図

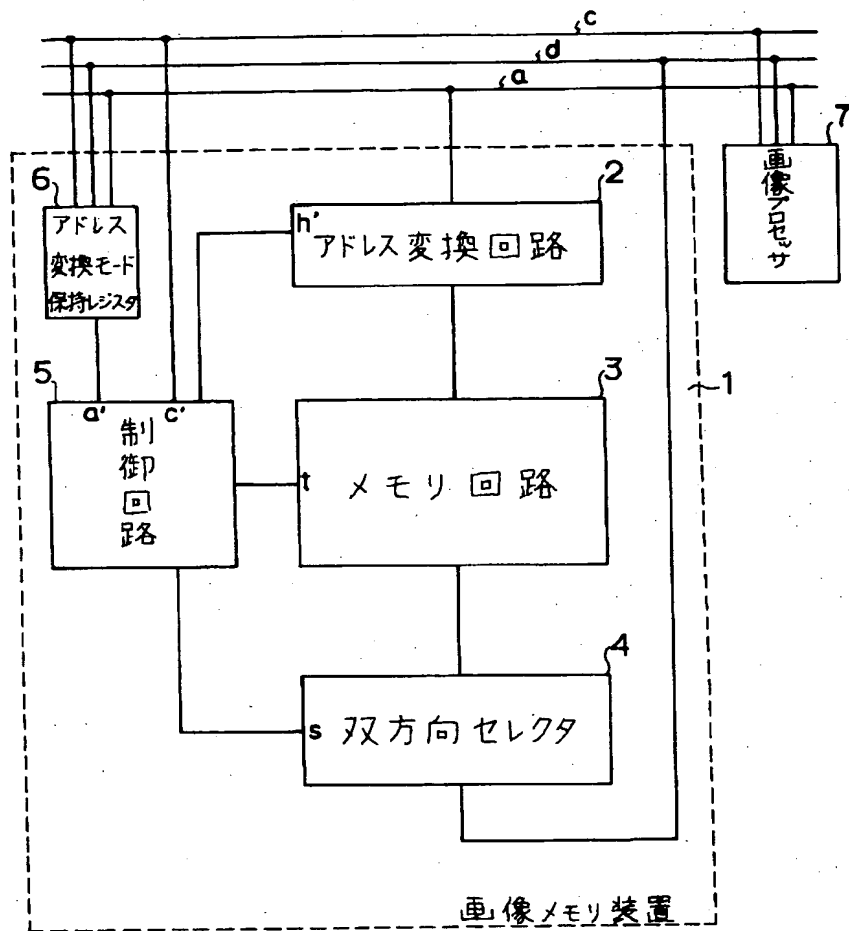


画像データの構成図



【図2】

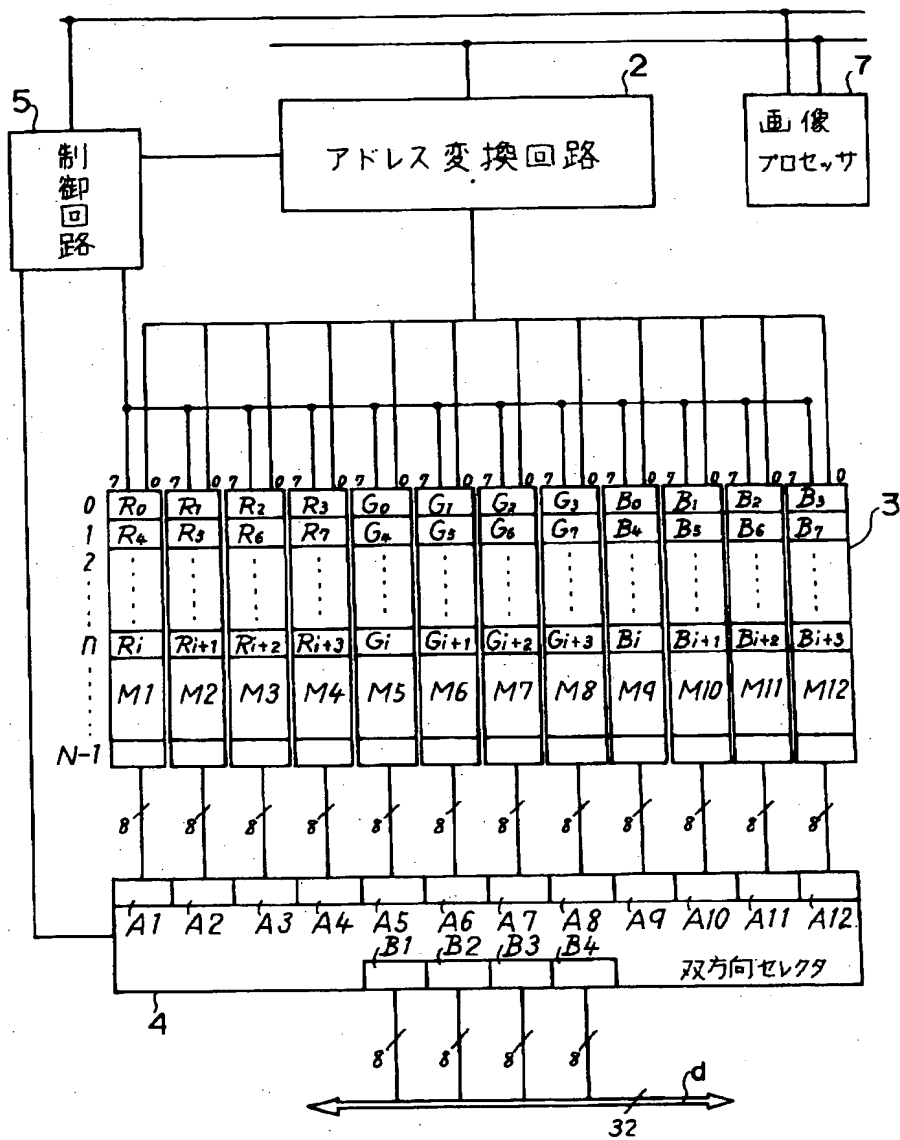
本発明の一実施例の構成ブロック図





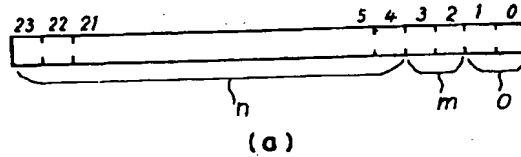
【図3】

メモリ回路3及び双方向セクタ4の詳細な構成を示す図



【図4】

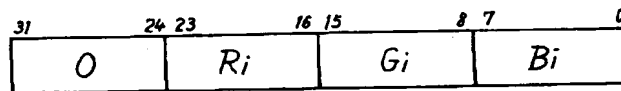
アドレス信号の構成図

下位2ビットの値  $m$  とメモリ選択の関係を示す図

$m$	ビット 3	ビット 2	活性化されるメモリバンク	双方向セクタの接続切替え
0	0	0	$M1, M5, M9$	$0-B1, A1-B2, A5-B3, A9-B4$
1	0	1	$M2, M6, M10$	$0-B1, A2-B2, A6-B3, A10-B4$
2	1	0	$M3, M7, M11$	$0-B1, A3-B2, A7-B3, A11-B4$
3	1	1	$M4, M8, M12$	$0-B1, A4-B2, A8-B3, A12-B4$

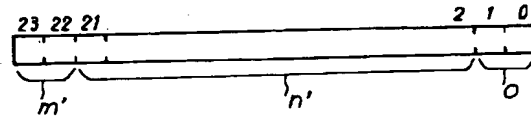
(b)

一括してアクセスされる表示要素データの構成図



【図5】

## アドレス信号の構成図



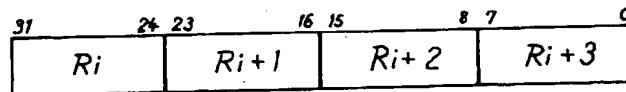
(a)

上位2ビットの値mとメモリ選択の関係を説明する図

m'	ビット 23	ビット 22	活性化されるメモリバンク	双方向セクタの接続切替え
0	0	0	M1, M2, M3, M4	A1-B1, A2-B2, A3-B3, A4-B4
1	0	1	M5, M6, M7, M8	A5-B1, A6-B2, A7-B3, A8-B4
2	1	0	M9, M10, M11, M12	A9-B1, A10-B2, A11-B3, A12-B4
3	1	1		

(b)

一括してアクセスされる表示要素データの構成を示す図

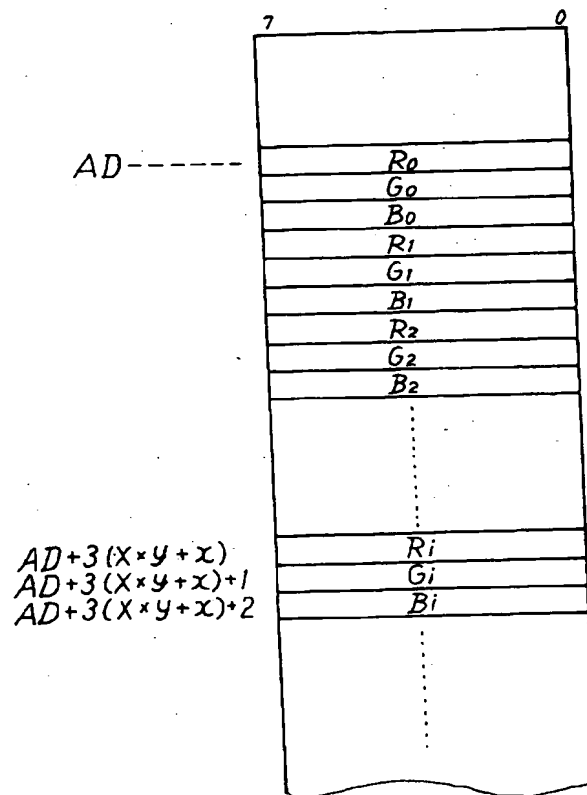


$$i = 4 \times n$$

(c)

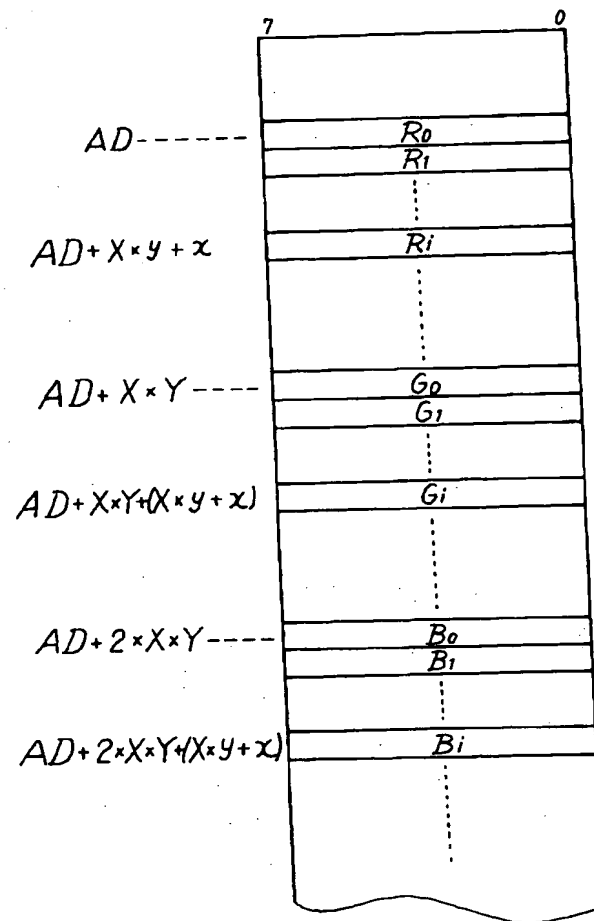
【図7】

従来の表示要素データの格納状態の一例を示す図



【図8】

従来の表示要素データの格納状態の他の例を示す図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**